

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **10-268349**
(43)Date of publication of application : **09.10.1998**

(51)Int.Cl. G02F 1/136
 G02F 1/1343
 H01L 29/786
 H01L 21/336

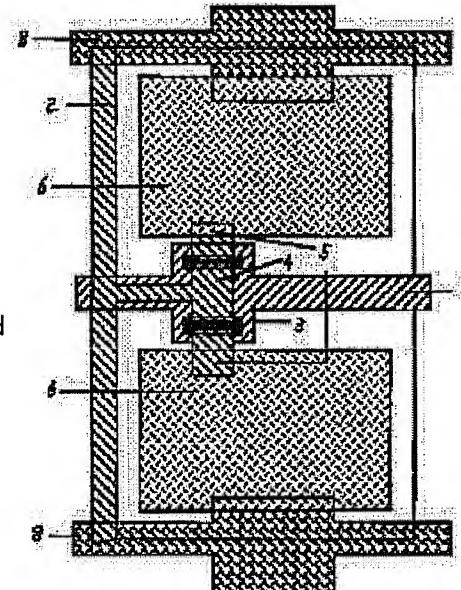
(21)Application number : **09-073310** (71)Applicant : **ADVANCED DISPLAY:KK**
(22)Date of filing : **26.03.1997** (72)Inventor : **FUKUOKA KIYOMI
KIKUTA SHIGERU**

(54) LIQUID CRYSTAL DISPLAY ELEMENT AND LIQUID CRYSTAL DISPLAY DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the liquid crystal display element in structure which improves the driving capability of a thin film transistor and is hardly affected by variation in parasitic capacitance due to deviation in design value in a manufacturing process.

SOLUTION: A scanning signal line 1 is arranged at the center part of the liquid crystal display element, a thin film transistor is formed symmetrically about the scanning signal line 1, and a pixel electrode 6 for applying a voltage to liquid crystal is divided into two and arranged symmetrically about the scanning signal line 1; and an auxiliary capacity electrode 8 for applying an auxiliary voltage to the scanning line 1 is formed symmetrically overlapping the pixel electrode 6, thus obtaining the liquid crystal display element in the structure which absorbs deviation in parasitic capacitance in its manufacturing process.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-268349

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.⁶
G 0 2 F 1/136 5 0 0
1/1343
H 0 1 L 29/786
21/336

F I
G 0 2 F 1/136 5 0 0
1/1343
H 0 1 L 29/78 6 1 2 Z
21/336 6 1 6 S

審査請求 未請求 請求項の数9 O.L. (全6頁)

(21) 出願番号 特願平9-73310

(71) 出願人 595059056
株式会社アドバンスト・ディスプレイ
熊本県菊池郡西合志町御代志997番地

(22) 出願日 平成9年(1997)3月26日

(72) 発明者 福岡 きよみ
熊本県菊池郡西合志町御代志997番地 株
式会社アドバンスト・ディスプレイ内

(72) 発明者 菊田 繁
熊本県菊池郡西合志町御代志997番地 株
式会社アドバンスト・ディスプレイ内

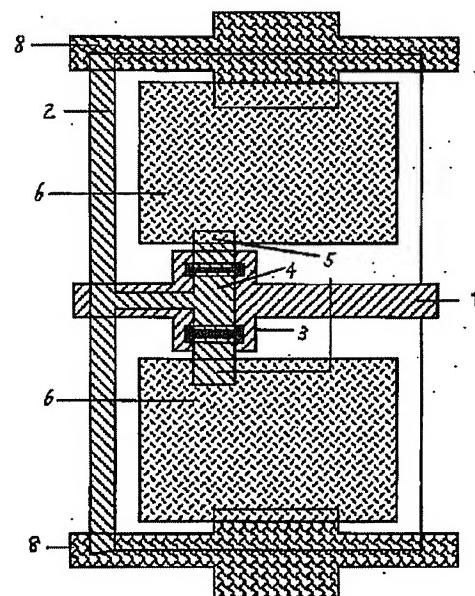
(74) 代理人 弁理士 大岩 増雄

(54) 【発明の名称】 液晶表示素子及びこれを用いた液晶表示装置

(57) 【要約】

【課題】 従来の液晶表示素子では、ゲート電極3とドレイン電極5間の寄生容量C_{g d}及び、画素電極6と補助容量電極8との間に形成されるC_s容量等が、製造工程での設計値のずれにより変化し、液晶表示パネルの表示特性に影響を与えるという問題があった。

【解決手段】 液晶表示素子の中央部に走査信号線1を配置し、走査信号線1を中心に対称形となるように薄膜トランジスタを形成し、同様にして液晶に電圧を印加する画素電極6も2分割して、走査信号線1を中心に対称形となるように配置すると共に、液晶に補助的に電圧を印加する補助容量電極8を、走査信号線1を中心に対称形に配置した画素電極6と重なり合うように対称形に形成して、寄生容量の製造工程でのずれを吸収する構造の液晶表示素子としたものである。



1. 走査信号線 5. ドレイン電極
2. ゲート電極 6. 画素電極
3. ソース電極 8. 補助容量電極

【特許請求の範囲】

【請求項1】 第一の信号線、この第一の信号線と交差する第二の信号線、上記第一の信号線に接続された第一の電極と、上記第二の信号線に接続された第二の電極と、上記第一の電極と一部が重なるように上記第二の電極と対向して配置された第三の電極をそれぞれ有すると共に、上記第一の信号線の両側に配置された一対の薄膜トランジスタ、上記第一の信号線の両側に配置され、上記一対の薄膜トランジスタの第三の電極にそれぞれ接続された一対の画素電極、この一対の画素電極とそれぞれ一部が重なるように上記第一の信号線の両側に配置された一対の補助容量電極を備え、製造工程における配置のずれが生じても上記一対の薄膜トランジスタの第一の電極と第三の電極の重なり部の面積の和が一定になると共に、上記一対の画素電極と補助容量電極の重なり部の面積の和が一定になることを特徴とする液晶表示素子。

【請求項2】 画素電極及び補助容量電極は、第一の信号線の長手方向の中心線を対称軸とするほぼ線対称に配置されていることを特徴とする請求項1記載の液晶表示素子。

【請求項3】 薄膜トランジスタは、第一の信号線の長手方向の中心線を対称軸とするほぼ線対称に配置されていることを特徴とする請求項1または請求項2のいずれか一項記載の液晶表示素子。

【請求項4】 補助容量電極は、画素電極側に突起部を有し、この突起部が画素電極と重なっていることを特徴とする請求項1～請求項3のいずれか一項記載の液晶表示素子。

【請求項5】 補助容量電極は、画素電極を囲むコ字型に形成され、コ字型に画素電極と重なっていることを特徴とする請求項1～請求項3のいずれか一項記載の液晶表示素子。

【請求項6】 薄膜トランジスタの第二の電極は、第二の信号線と平行な部分を有し、第三の電極は上記第二の電極の第二の信号線と平行な部分に対向して設けられていることを特徴とする請求項1～請求項5のいずれか一項記載の液晶表示素子。

【請求項7】 薄膜トランジスタの第一の電極は、第一の信号線と平行な部分を有し、この部分と第三の電極が重なっていることを特徴とする請求項1～請求項6のいずれか一項記載の液晶表示素子。

【請求項8】 請求項1～請求項7のいずれか一項記載の液晶表示素子がマトリクス状に配置されると共に、上記液晶表示素子の補助容量電極は、隣接する別の液晶表示素子と共に用されることを特徴とする液晶表示装置。

【請求項9】 液晶表示素子の補助容量電極は、長手方向の中心線を対称軸としてほぼ線対称の形状であることを特徴とする請求項8記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、映像や情報機器などに用いる液晶表示パネルの表示部を構成する液晶表示素子及びこれを用いた液晶表示装置に関するものである。

【0002】

【従来の技術】 図3は、液晶表示装置にマトリクス状に配置されている従来の液晶表示素子を示すレイアウト図である。図において、1は走査信号線、2は走査信号線1に交差するように配置されたデータ信号線、3は走査信号線1に接続され、薄膜トランジスタを構成するゲート電極、4はデータ信号線2に接続され、薄膜トランジスタを構成するソース電極、5は薄膜トランジスタを構成するドレイン電極、6はドレイン電極5に接続された画素電極、7は薄膜トランジスタを構成する半導体層である。8は液晶の収束性を高める目的で画素電極6の周辺に設けられた補助容量電極である。

【0003】 図3に示すように、液晶表示素子は、ゲート電極3とソース電極4とドレイン電極5からなる薄膜トランジスタTFT (Thin Film Transistor) と、液晶表示装置の対向基板との間に注入封止されている液晶に電圧を印加する画素電極6と、液晶の収束性を高める目的で画素電極6の周辺に設けられた補助容量電極8から構成されている。液晶表示装置は、この液晶表示素子をマトリクス状に配置した液晶表示パネル基板と、ブラックマトリクス層、カラーフィルタ層、トップコート層からなる透明基板との間に、液晶を注入封止したものである。

【0004】 従来の液晶表示素子においては、液晶表示素子1つにつき、1つの薄膜トランジスタで画素電極6を駆動している。液晶表示素子は、図3に示すような構成であって、半導体層7を介して、ドレイン電極5に電圧を印加し、薄膜トランジスタのドレイン電極5から、液晶表示素子内の画素電極6に電圧を印加する。

【0005】 図4は、図3に示す液晶表示素子のA-A'断面を示す断面図である。図において、3～7は図3におけるものと同一のものである。9はガラス基板、10はゲート絶縁膜、11は保護膜である。液晶表示素子は、図4に示すように形成される。ガラス基板9上にまず画素電極6を駆動させるためのスイッチング素子を構成するゲート電極3を形成し、次いでゲート絶縁膜10、半導体層7をゲート電極3の上部に形成する。また、ゲート電極3と同一層にて、またはゲート絶縁膜10をはさんで、ゲート電極3の上層または下層に、画素電極6と重なりあう形で、補助容量電極(図示せず)を形成する。そして、ゲート絶縁膜10及び半導体層7の上部に、画素電極6に電圧を印加するドレイン電極5及びソース電極4を形成する。さらに、ドレイン電極5及びソース電極4の上層または下層に、ドレイン電極5と接続する形で、画素電極6を形成する。そして最後に、ガラス基板9上に形成した薄膜を保護する目的で、保護

膜 1 1 を形成する。

【0 0 0 6】

【発明が解決しようとする課題】液晶表示素子においては、ゲート電極 3 とドレイン電極 5 間の寄生容量 C_{dg} 、画素電極 6 と補助容量電極 8 との間に形成される C_s 容量等が発生する。そして、このような寄生容量の収束性や、画素電極 6 に対する液晶の応答速度が、液晶表示パネルの表示特性に重大な影響を与えており、時として液晶表示パネルの歩留まりを低下させる原因になっている。従来の液晶表示素子においては、液晶表示素子内の全てを埋めつくすような形状で、画素電極 6 を形成し、その画素電極 6 を 1 つの薄膜トランジスタで駆動する構成としている。

【0 0 0 7】画素電極 6 に対する液晶の応答速度を向上させるためには、薄膜トランジスタの駆動能力を向上させることができるとして上げられる。これは、薄膜トランジスタのサイズを変更することにより、実現可能であるが、液晶表示素子という限られた領域内での遮光領域が増加することを意味し、液晶表示素子の開口率（液晶表示素子内での表示領域）の観点からは望ましくない。また、前述したような液晶表示素子の製造過程においては、設計値と異なる層間のズレが生じてしまう。そして、層間のズレのみならず、露光時のパターンのズレも同様にして起こりうる。そして、設計値と異なるズレが生じた場合、前述の寄生容量が変化し、結果として表示ムラ等が発生し、液晶表示装置の品質が低下する。

【0 0 0 8】このように、従来の液晶表示素子では、液晶表示素子の製造過程における層間のズレによる品質低下を防ぐため、層間のズレを見込んだ設計が必要不可欠であり、さらにその上で、液晶表示素子の製造過程における、層間のズレまたは、露光時のパターンのズレを減少させるため、製造過程においてのアライメント精度の向上が必要不可欠であった。しかし、層間のズレを見込んだ設計を行うには、液晶表示素子という限られた領域内での遮光領域が増加することを意味し、液晶表示素子の開口率の観点からは望ましくない。また、寄生容量の増減を見込んだ液晶表示素子の設計を行うことは、極めて困難であった。以上のことより、トランジスタの駆動能力を向上し、寄生容量の変化の影響を受けにくい液晶表示素子の設計が望まれている。

【0 0 0 9】この発明は、上述のような課題を解決するためになされたものであり、薄膜トランジスタの駆動能力を向上させ、画素電極の応答時間を短縮することができる液晶表示素子を得ることを第一の目的とする。また、製造工程による設計値のズレによる寄生容量の変化の影響をうけにくい構造の液晶表示素子を得ることを第二の目的とする。また、そのような液晶表示素子を用いた液晶表示装置を得ることを第三の目的とする。さらに、液晶表示素子間で製造工程による設計値のズレを吸収できるような構造の液晶表示装置を得ることを第四の

目的とする。

【0 0 1 0】

【課題を解決するための手段】この発明に係わる液晶表示素子においては、第一の信号線に接続された第一の電極と、第二の信号線に接続された第二の電極と、第一の電極と一部が重なるように第二の電極と対向して配置された第三の電極をそれぞれ有すると共に、第一の信号線の両側に配置された一対の薄膜トランジスタと、第一の信号線の両側に配置され、一対の薄膜トランジスタの第三の電極にそれぞれ接続された一対の画素電極と、この一対の画素電極とそれぞれ一部が重なるように第一の信号線の両側に配置された一対の補助容量電極を備え、製造工程における配置のずれが生じても一対の薄膜トランジスタの第一の電極と第三の電極の重なり部の面積の和が一定になると共に、一対の画素電極と補助容量電極の重なり部の面積の和が一定になるものである。また、画素電極及び補助容量電極は、第一の信号線の長手方向の中心線を対称軸とするほぼ線対称に配置されているものである。

【0 0 1 1】さらに、薄膜トランジスタは、第一の信号線の長手方向の中心線を対称軸とするほぼ線対称に配置されているものである。また、補助容量電極は、画素電極側に突起部を有し、この突起部が画素電極と重なっているものである。また、補助容量電極は、画素電極を囲むコ字型に形成され、コ字型に画素電極と重なっているものである。

【0 0 1 2】さらにまた、薄膜トランジスタの第二の電極は、第二の信号線と平行な部分を有し、第三の電極は第二の電極の第二の信号線と平行な部分に対向して設けられているものである。また、薄膜トランジスタの第一の電極は、第一の信号線と平行な部分を有し、この部分と第三の電極が重なっているものである。

【0 0 1 3】また、この発明に係わる液晶表示装置においては、液晶表示素子がマトリクス状に配置されると共に、液晶表示素子の補助容量電極は、隣接する別の液晶表示素子と共に用いられるものである。加えて、液晶表示素子の補助容量電極は、長手方向の中心線を対称軸としてほぼ線対称の形状であるものである。

【0 0 1 4】

【発明の実施の形態】図 1 は、この発明の液晶表示素子の構成を示すレイアウト図である。図 2 は、この発明の実施の形態による液晶表示素子を示す別のレイアウト図である。図において、1 ~ 8 は上記従来装置におけるものに相当するものであるが、レイアウト及び形状が以下に説明するごとく異なっている。図 1 に示すように液晶表示素子は、次のように形成される。薄膜トランジスタを形成する土台となるガラス基板上に、走査信号線 1 及び走査信号線 1' に接続されているゲート電極 3 を形成する。また、ゲート電極 3 と同一の工程または、絶縁膜をはさんでゲート電極 3 を形成する工程と前後する工程

で、補助容量電極8を形成する。次に、ゲート絶縁膜と半導体層7を形成し、その後、画素電極6及びソース電極4、ドレイン電極5を形成する。そして、ガラス基板9上の薄膜を保護する目的で、最後に保護膜11を設ける。

【0015】図1に示すように、液晶表示素子のレイアウトは、液晶表示素子の中央部に走査信号線1を配置し、走査信号線1を中心に対称形となるように薄膜トランジスタを形成する。ここで、ソース電極4は、データ信号線2と平行な部分を有し、この平行な部分に対向するようにドレイン電極を設けると共に、ゲート電極3は、走査信号線1と平行な部分を有し、この平行な部分とドレイン電極5が重なる構成とする。すなわち、データ信号線2の方向にソース電極4とドレイン電極5を配置する構成とするものである。同様にして、液晶に電圧を印加する画素電極6も二分割して、走査信号線1を中心に対称形となるように配置する。この発明の実施の形態による液晶表示素子においては、液晶に電圧を印加する画素電極6を走査信号線1を中心に二分割し、それぞれの画素電極6を別個の薄膜トランジスタで駆動させることにより、画素電極6の応答速度を向上させ、結果として、C_s容量の収束性を向上させる液晶表示素子を実現することが可能となる。

【0016】また、ゲート電極3とドレイン電極5との間の寄生容量C_{gd}は、液晶表示素子内で分割した画素電極6の上段と下段とで、同一の値をとるように設計する。製造工程において、層間のズレにより、C_{gd}の容量が変化しても、1つの液晶表示素子内に走査信号線1をはさんで上下に対称形となっているので、1つの液晶表示素子のゲート電極3とドレイン電極5との間の寄生容量は均一化される。よって、液晶表示パネル全体としては、製造工程間のパターンのズレを平均化した容量が形成され、表示ムラ等の発生しにくい高品質な液晶表示装置を実現することが可能である。さらに、液晶に補助的に電圧を印加する補助容量電極8は、走査信号線1を中心に対称形に配置した画素電極6と重なり合うように形成する。そして、補助容量電極8と、画素電極6が重なり合った領域に発生する寄生容量がC_s容量となる。この時、補助容量電極8は、液晶表示素子内で分割された画素電極6と重なり合う形で、走査信号線1に対して上に位置する画素電極6では画素電極6の上部に、走査信号線1に対して下に位置する画素電極6では画素電極6の下部に、配置されている。

【0017】そして、画素電極6と補助容量電極8とで発生するC_s容量の領域は、走査信号線1に対して上部のC_s容量と下部のC_s容量とで、走査信号線1を中心に対称形となるように、レイアウトする。さらに、走査信号線1の上部に形成した補助容量電極8を、前段の走査信号線1によって選択される液晶表示素子と共有する形でレイアウトする。同様にして、走査信号線1の下部

に形成した補助容量電極8を、次段の走査信号線1によって選択される液晶表示素子と共有する形でレイアウトする。この時、補助容量電極8の形状は、液晶表示素子の境界部を中心に、選択液晶表示素子とその前段の液晶表示素子とで、また、選択液晶表示素子とその次段の液晶表示素子とで対称形となるようにレイアウトする。

【0018】このような構成にすることにより、製造過程において層間のズレが生じた場合でも、走査信号線1を中心に対称形に配置している画素電極6と補助容量電極8とで形成されるC_s容量は、走査信号線1を中心に対称形に配置している片方のズレの増減を、走査信号線1を介して対称形に配置してあるもう片方のC_s容量で吸収することが可能となり、C_s容量値を液晶表示パネル全体で均一化することが可能となる。なお、補助容量電極8の形状は、図1のように一部を画素電極6に重なり合わせた形状と、図2に示すように、画素電極6の周辺を囲うように、ブラックマトリクスの働きを兼ねるようとした形状にする場合の2通りがあるが、いずれの場合でも、選択液晶表示素子と隣接する前段液晶表示素子、次段液晶表示素子とで、対称形とする。

【0019】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。第一の信号線の両側に配置された一対の薄膜トランジスタと、第一の信号線の両側に配置され、一対の薄膜トランジスタの第三の電極にそれぞれ接続された一対の画素電極と、この一対の画素電極とそれぞれ一部が重なるように第一の信号線の両側に配置された一対の補助容量電極を備え、製造工程における配置のずれが生じても一対の薄膜トランジスタの第一の電極と第三の電極の重なり部の面積の和が一定になると共に、一対の画素電極と補助容量電極の重なり部の面積の和が一定になるので、二つの薄膜トランジスタによる駆動能力の向上により画素電極の応答時間を短縮させることができると共に、製造工程における配置のずれによる寄生容量の変化の影響を受けず、表示特性の向上及び歩留まりの向上ができる。また、画素電極及び補助容量電極は、第一の信号線の長手方向の中心線を対称軸とするほぼ線対称に配置されているので、画素電極と補助容量電極の重なり部の製造工程におけるずれを互いに吸収できるようにすることができる。

【0020】さらに、薄膜トランジスタは、第一の信号線の長手方向の中心線を対称軸とするほぼ線対称に配置されているので、第一の電極と第三の電極の重なり部の製造工程におけるずれを互いに吸収できるようにすることができる。また、補助容量電極は、画素電極側に突起部を有し、この突起部が画素電極と重なっているので、画素電極と補助容量電極の重なり部の製造工程におけるずれを互いに吸収して設計値どおりにすることができる。また、補助容量電極は、画素電極を囲むコ字型に形

成され、コ字型に画素電極と重なっているので、画素電極と補助容量電極の重なり部の製造工程におけるずれを互いに吸収して設計値どおりにすることができる。

【0021】さらにまた、薄膜トランジスタの第二の電極は、第二の信号線と平行な部分を有し、第三の電極は第二の電極の第二の信号線と平行な部分に対向して設けられているので、第一の電極と第三の電極の重なり部の製造工程におけるずれを互いに吸収して設計値どおりにすることができる。また、薄膜トランジスタの第一の電極は、第一の信号線と平行な部分を有し、この部分と第三の電極が重なっているので、第一の電極と第三の電極の重なり部の製造工程におけるずれを互いに吸収して設計値どおりにすることができる。

【0022】また、液晶表示素子がマトリクス状に配置されると共に、液晶表示素子の補助容量電極は、隣接する別の液晶表示素子と共に用いられるので、電極数を少なくすることができます。加えて、液晶表示素子の補助容量電

極は、長手方向の中心線を対称軸としてほぼ線対称の形状であるので、製造工程におけるずれを液晶表示素子間で吸収することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態による液晶表示素子を示すレイアウト図である。

【図2】 この発明の実施の形態による液晶表示素子を示す別のレイアウト図である。

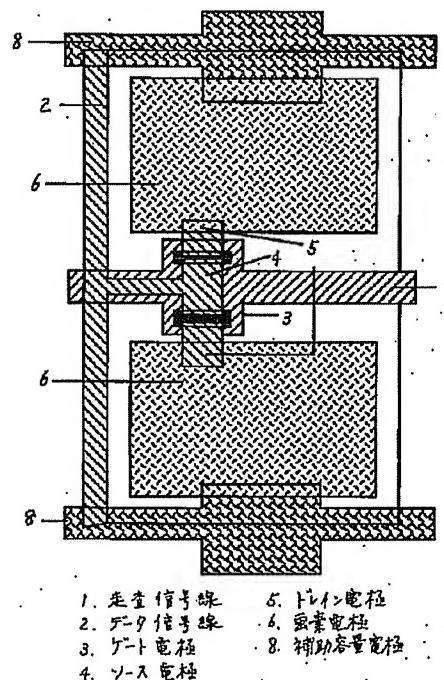
【図3】 従来の液晶表示素子を示すレイアウト図である。

【図4】 図3に示す液晶表示素子のA-A'断面を示す断面図である。

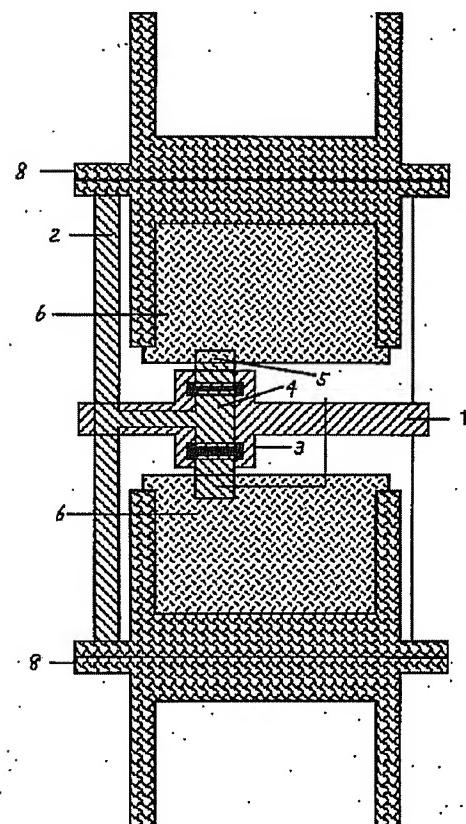
【符号の説明】

- 1 走査信号線、2 データ信号線、3 ゲート電極、
4 ソース電極、5 ドレイン電極、6 画素電極、7
半導体層、8 補助容量電極、10 ゲート絶縁膜。

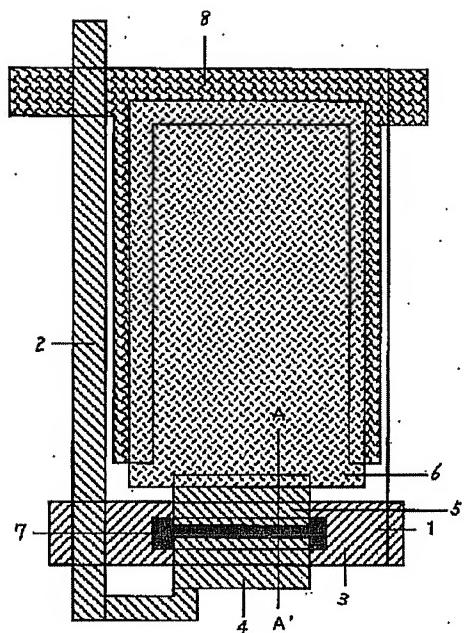
【図1】



【図2】



【図3】



【図4】

